



日 本 国 特 許 庁
JAPAN PATENT OFFICE

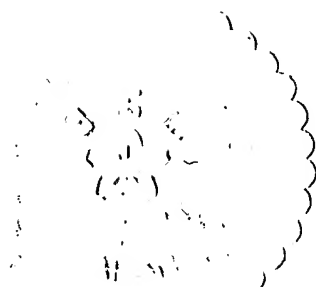
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 6 3 5 4 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 3 5 4 7]

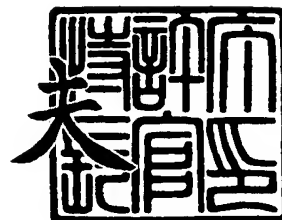
出 願 人 株 式 会 社 リ コ ー
Applicant(s):



2 0 0 3 年 1 2 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康





【書類名】 特許願

【整理番号】 188365

【提出日】 平成15年 3月10日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/0175

【発明の名称】 L V D S 回路及び L V D S 回路を使用した光ディスク記録装置

【請求項の数】 14

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 岸岡 俊樹

【特許出願人】

 【識別番号】 000006747

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1



【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 L V D S 回路及び L V D S 回路を使用した光ディスク記録装置

【特許請求の範囲】

【請求項 1】 入力されたデジタル信号に応じた差動信号をなす電流を一对の出力端から出力するドライバ回路と、該ドライバ回路から出力される電流の電流値を制御するバイアス電流を該ドライバ回路に供給するバイアス回路と、前記ドライバ回路の各出力端から出力された電流をそれぞれ電圧に変換して出力する電流－電圧変換回路と、該電流－電圧変換回路から出力された各電圧の電圧値を比較し、該比較結果を示す信号を出力するレシーバ回路とを備える L V D S 回路において、

前記バイアス回路及び電流－電圧変換回路は、同一半導体チップ内に設けられることを特徴とする L V D S 回路。

【請求項 2】 前記バイアス回路及び電流－電圧変換回路は、同一プロセスで形成されることを特徴とする請求項 1 記載の L V D S 回路。

【請求項 3】 入力されたデジタル信号に応じた差動信号をなす電流を一对の出力端から出力するドライバ回路と、該ドライバ回路から出力される電流の電流値を制御するバイアス電流を該ドライバ回路に供給するバイアス回路と、前記ドライバ回路の各出力端から出力された電流をそれぞれ電圧に変換して出力する電流－電圧変換回路と、該電流－電圧変換回路から出力された各電圧の電圧値を比較し、該比較結果を示す信号を出力するレシーバ回路とを備える L V D S 回路において、

前記バイアス回路及び電流－電圧変換回路は、同一プロセスで形成されることを特徴とする L V D S 回路。

【請求項 4】 前記ドライバ回路は 1 つの半導体チップに形成され、前記バイアス回路、電流－電圧変換回路及びレシーバ回路が他の 1 つの半導体チップに形成されることを特徴とする請求項 1、2 又は 3 記載の L V D S 回路。

【請求項 5】 前記ドライバ回路、バイアス回路及び電流－電圧変換回路は 1 つの半導体チップに形成され、前記レシーバ回路が他の 1 つの半導体チップに形成されることを特徴とする請求項 1、2 又は 3 記載の L V D S 回路。



【請求項 6】 前記ドライバ回路は 1 つの半導体チップに形成され、前記バイアス回路及び電流－電圧変換回路が他の 1 つの半導体チップに形成され、レシーバ回路が他の 1 つの半導体チップに形成されることを特徴とする請求項 1、2 又は 3 記載の L V D S 回路。

【請求項 7】 前記ドライバ回路、バイアス回路、電流－電圧変換回路及びレシーバ回路は、マルチチップモジュールで形成されることを特徴とする請求項 1、2、3、4、5 又は 6 記載の L V D S 回路。

【請求項 8】 ホスト装置から入力された光ディスクへの書き込み用データを所定の方法でエンコードするエンコード部と、該エンコード部でエンコードされたデータ信号に基づいて光ディスクにレーザ光を照射する半導体レーザの駆動制御を行う半導体レーザ駆動制御部とを備え、前記エンコード部の出力回路部と、前記半導体レーザ駆動制御部の入力回路部とを L V D S 回路で構成した、ホスト装置から入力されたデータを光ディスクに記録する光ディスク記録装置において、

前記 L V D S 回路は、

入力されたデジタル信号に応じた差動信号をなす電流を一对の出力端から出力するドライバ回路と、

該ドライバ回路から出力される電流の電流値を制御するバイアス電流を該ドライバ回路に供給するバイアス回路と、

前記ドライバ回路の各出力端から出力された電流をそれぞれ電圧に変換して出力する電流－電圧変換回路と、

該電流－電圧変換回路から出力された各電圧の電圧値を比較し、該比較結果を示す信号を出力するレシーバ回路と、

を備え、

前記バイアス回路及び電流－電圧変換回路は、同一半導体チップ内に設けられることを特徴とする光ディスク記録装置。

【請求項 9】 前記バイアス回路及び電流－電圧変換回路は、同一プロセスで形成されることを特徴とする請求項 8 記載の光ディスク記録装置。

【請求項 10】 ホスト装置から入力された光ディスクへの書き込み用デー



タを所定の方法でエンコードするエンコード部と、該エンコード部でエンコードされたデータ信号に基づいて光ディスクにレーザ光を照射する半導体レーザの駆動制御を行う半導体レーザ駆動制御部とを備え、前記エンコード部の出力回路部と、前記半導体レーザ駆動制御部の入力回路部とをLVDS回路で構成した、ホスト装置から入力されたデータを光ディスクに記録する光ディスク記録装置において、

前記LVDS回路は、

入力されたデジタル信号に応じた差動信号をなす電流を一对の出力端から出力するドライバ回路と、

該ドライバ回路から出力される電流の電流値を制御するバイアス電流を該ドライバ回路に供給するバイアス回路と、

前記ドライバ回路の各出力端から出力された電流をそれぞれ電圧に変換して出力する電流－電圧変換回路と、

該電流－電圧変換回路から出力された各電圧の電圧値を比較し、該比較結果を示す信号を出力するレシーバ回路と、

を備え、

前記バイアス回路及び電流－電圧変換回路は、同一プロセスで形成されることを特徴とする光ディスク記録装置。

【請求項 11】 前記ドライバ回路は1つの半導体チップに形成され、前記バイアス回路、電流－電圧変換回路及びレシーバ回路が他の1つの半導体チップに形成されることを特徴とする請求項8、9又は10記載の光ディスク記録装置。

【請求項 12】 前記ドライバ回路、バイアス回路及び電流－電圧変換回路は1つの半導体チップに形成され、前記レシーバ回路が他の1つの半導体チップに形成されることを特徴とする請求項8、9又は10記載の光ディスク記録装置。

【請求項 13】 前記ドライバ回路は1つの半導体チップに形成され、前記バイアス回路及び電流－電圧変換回路が他の1つの半導体チップに形成され、レシーバ回路が他の1つの半導体チップに形成されることを特徴とする請求項8、

9 又は 1 0 記載の光ディスク記録装置。

【請求項 1 4】 前記ドライバ回路、バイアス回路、電流－電圧変換回路及びレシーバ回路は、マルチチップモジュールで形成されることを特徴とする請求項 8、9、1 0、1 1、1 2 又は 1 3 記載の光ディスク記録装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、低電圧差動信号（以下、L V D S と呼ぶ）回路に関し、特に光ディスク記録装置に使用する L V D S 回路に関する。

【0 0 0 2】

【従来の技術】

近年、集積回路の微細化、高速化に伴い、信号の伝達手段として低電圧差動信号 L V D S 回路が多く用いられるようになってきている。L V D S 回路は小振幅の差動信号を扱うため、該差動信号を出力するドライバ回路と、ドライバ回路から出力された差動信号を受け取るレシーバ回路に、小信号を正しく送受信するための精度が求められている。

【0 0 0 3】

一方、半導体集積回路では、その特性上、プロセスによるバラツキ、温度によるバラツキ、電源電圧の振れ等が生じ、小信号を正しく送受信するための精度が得られないという問題があった。このようなことから、L V D S 構成の出力回路にドライバ駆動用の電流を調整するための M O S F E T を付加し、その 1 つをダミー出力回路として用いて出力端子に終端抵抗を接続してハイ（H i g h）レベルとロー（L o w）レベルを形成し、該ハイレベル及びローレベルの信号がそれぞれ所望の出力レベルになるように電流調整用 M O S F E T の制御信号を形成すると共に、該制御信号を他の複数の出力回路の電流調整用 M O S F E T にそれぞれ供給して電流を自動調整する回路が開示されている（例えば、特許文献 1 参照。）。。

【0 0 0 4】

【特許文献 1】

特開 2000-134082 号公報

【0005】

【発明が解決しようとする課題】

このように、プロセスによるバラツキ、温度によるバラツキ、電源電圧の振れ等によって生じる差動電圧のバラツキを考慮して、送信する側の電流値を調整できるようにすることにより、ドライバ回路から出力される差動電圧の振幅が一定になるようにしたものがあった。しかし、このようにした場合、電流を調整するための回路を付加しなければならず、回路構成要素が増加するという問題が発生する。

【0006】

本発明は、上記のような問題を解決するためになされたものであり、回路構成要素を付加することなく、プロセスによるバラツキ、温度によるバラツキ、電源電圧の振れ等によって生じるドライバ回路からの差動信号の変動を低減させることができる LVDS 回路及び LVDS 回路を使用した光ディスク記録装置を得ることを目的とする。

【0007】

【課題を解決するための手段】

この発明に係る LVDS 回路は、入力されたデジタル信号に応じた差動信号をなす電流を一对の出力端から出力するドライバ回路と、該ドライバ回路から出力される電流の電流値を制御するバイアス電流を該ドライバ回路に供給するバイアス回路と、前記ドライバ回路の各出力端から出力された電流をそれぞれ電圧に変換して出力する電流－電圧変換回路と、該電流－電圧変換回路から出力された各電圧の電圧値を比較し、該比較結果を示す信号を出力するレシーバ回路とを備える LVDS 回路において、

前記バイアス回路及び電流－電圧変換回路は、同一半導体チップ内に設けられるものである。

【0008】

また、前記バイアス回路及び電流－電圧変換回路は、同一プロセスで形成されるようにしてもよい。

【 0 0 0 9 】

また、この発明に係る L V D S 回路は、入力されたデジタル信号に応じた差動信号をなす電流を一对の出力端から出力するドライバ回路と、該ドライバ回路から出力される電流の電流値を制御するバイアス電流を該ドライバ回路に供給するバイアス回路と、前記ドライバ回路の各出力端から出力された電流をそれぞれ電圧に変換して出力する電流－電圧変換回路と、該電流－電圧変換回路から出力された各電圧の電圧値を比較し、該比較結果を示す信号を出力するレシーバ回路とを備える L V D S 回路において、

前記バイアス回路及び電流－電圧変換回路は、同一プロセスで形成されるものである。

【 0 0 1 0 】

具体的には、前記ドライバ回路は 1 つの半導体チップに形成され、前記バイアス回路、電流－電圧変換回路及びレシーバ回路が他の 1 つの半導体チップに形成されるようにした。

【 0 0 1 1 】

また、前記ドライバ回路、バイアス回路及び電流－電圧変換回路は 1 つの半導体チップに形成され、前記レシーバ回路が他の 1 つの半導体チップに形成されるようにしてもよい。

【 0 0 1 2 】

また、前記ドライバ回路は 1 つの半導体チップに形成され、前記バイアス回路及び電流－電圧変換回路が他の 1 つの半導体チップに形成され、レシーバ回路が他の 1 つの半導体チップに形成されるようにしてもよい。

【 0 0 1 3 】

前記ドライバ回路、バイアス回路、電流－電圧変換回路及びレシーバ回路は、マルチチップモジュールで形成されるようにしてもよい。

【 0 0 1 4 】

また、この発明に係る光ディスク記録装置は、ホスト装置から入力された光ディスクへの書き込み用データを所定の方法でエンコードするエンコード部と、該エンコード部でエンコードされたデータ信号に基づいて光ディスクにレーザ光を

照射する半導体レーザの駆動制御を行う半導体レーザ駆動制御部とを備え、前記エンコード部の出力回路部と、前記半導体レーザ駆動制御部の入力回路部とをLVDS回路で構成した、ホスト装置から入力されたデータを光ディスクに記録する光ディスク記録装置において、

前記LVDS回路は、

入力されたデジタル信号に応じた差動信号をなす電流を一对の出力端から出力するドライバ回路と、

該ドライバ回路から出力される電流の電流値を制御するバイアス電流を該ドライバ回路に供給するバイアス回路と、

前記ドライバ回路の各出力端から出力された電流をそれぞれ電圧に変換して出力する電流－電圧変換回路と、

該電流－電圧変換回路から出力された各電圧の電圧値を比較し、該比較結果を示す信号を出力するレシーバ回路と、

を備え、

前記バイアス回路及び電流－電圧変換回路は、同一半導体チップ内に設けられるものである。

【0015】

また、前記バイアス回路及び電流－電圧変換回路は、同一プロセスで形成されるようにしてもよい。

【0016】

また、この発明に係る光ディスク記録装置は、ホスト装置から入力された光ディスクへの書き込み用データを所定の方法でエンコードするエンコード部と、該エンコード部でエンコードされたデータ信号に基づいて光ディスクにレーザ光を照射する半導体レーザの駆動制御を行う半導体レーザ駆動制御部とを備え、前記エンコード部の出力回路部と、前記半導体レーザ駆動制御部の入力回路部とをLVDS回路で構成した、ホスト装置から入力されたデータを光ディスクに記録する光ディスク記録装置において、

前記LVDS回路は、

入力されたデジタル信号に応じた差動信号をなす電流を一对の出力端から出

力するドライバ回路と、

該ドライバ回路から出力される電流の電流値を制御するバイアス電流を該ドライバ回路に供給するバイアス回路と、

前記ドライバ回路の各出力端から出力された電流をそれぞれ電圧に変換して出力する電流－電圧変換回路と、

該電流－電圧変換回路から出力された各電圧の電圧値を比較し、該比較結果を示す信号を出力するレシーバ回路と、

を備え、

前記バイアス回路及び電流－電圧変換回路は、同一プロセスで形成されるものである。

【0017】

具体的には、前記ドライバ回路は1つの半導体チップに形成され、前記バイアス回路、電流－電圧変換回路及びレシーバ回路が他の1つの半導体チップに形成されるようにした。

【0018】

また、前記ドライバ回路、バイアス回路及び電流－電圧変換回路は1つの半導体チップに形成され、前記レシーバ回路が他の1つの半導体チップに形成されるようにしてもよい。

【0019】

また、前記ドライバ回路は1つの半導体チップに形成され、前記バイアス回路及び電流－電圧変換回路が他の1つの半導体チップに形成され、レシーバ回路が他の1つの半導体チップに形成されるようにしてもよい。

【0020】

前記ドライバ回路、バイアス回路、電流－電圧変換回路及びレシーバ回路は、マルチチップモジュールで形成されるようにしてもよい。

【0021】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態.

図1は、本発明の第1の実施の形態におけるLVDS回路の例を示した図である。なお、図1では、MCM（マルチチップモジュール）で構成されている場合を例にして示している。

図1において、LVDS回路1は、入力端INに入力されたデジタル信号に応じた電流を一对の出力端から出力するドライバ回路2と、該ドライバ回路2から出力された電流をそれぞれ電圧に変換する電流－電圧変換回路3と、該電流－電圧変換回路3で電圧に変換された一对の信号の電圧を比較し該比較結果を示す2値の信号を出力するレシーバ回路4と、ドライバ回路2の出力電流を制御するためのバイアス電流I_bをドライバ回路2に供給するバイアス回路5とを備えている。

【0022】

図1の場合、ドライバ回路2が半導体チップA上に形成されており、電流－電圧変換回路3、レシーバ回路4及びバイアス回路5は、半導体チップB上にそれぞれ形成されている。ドライバ回路2は、出力端OUT1及びOUT2を備え、ハイ（High）レベルの信号が入力されると、バイアス回路5からのバイアス電流i_bに応じた電流が出力端OUT2に流れ込むと共に出力端OUT1からの電流の流れ込みが停止する。

【0023】

また、ドライバ回路2は、ロー（Low）レベルの信号が入力されると、バイアス回路5からのバイアス電流i_bに応じた電流が出力端OUT1に流れ込むと共に出力端OUT2からの電流の流れ込みが停止する。出力端OUT1は半導体チップAの出力端子OA1に、出力端OUT2は半導体チップAの出力端子OA2にそれぞれ接続されている。出力端子OA1は、信号線6及び半導体チップBの入力端子IB1を介してレシーバ回路4の一方の入力端に接続され、出力端子OA2は、信号線7及び半導体チップBの入力端子IB2を介してレシーバ回路4の他方の入力端に接続されている。

【0024】

電流－電圧変換回路3は、抵抗11～13で構成されており、電源電圧VDDと入力端子IB1との間に抵抗11及び12が直列に接続されており、抵抗11

及び抵抗 12 の接続部と入力端子 IB2 との間には抵抗 13 が接続されている。
また、バイアス回路 5 は、電圧比較器 21、所定の基準電圧 V_r を生成して出力する基準電圧発生回路 22、PMOS トランジスタ 23、24、NMOS トランジスタ 25～27 及び抵抗 28 で構成されている。PMOS トランジスタ 23 及び 24 はカレントミラー回路を形成しており、電源電圧 V_{DD} と接地電圧との間に、PMOS トランジスタ 23、NMOS トランジスタ 25 及び抵抗 28 が直列に接続されており、NMOS トランジスタ 25 のゲートは電圧比較器 21 の出力端に接続されている。PMOS トランジスタ 23 及び 24 の各ゲートは接続され、該接続部は PMOS トランジスタ 23 のドレインに接続されている。

【0025】

NMOS トランジスタ 25 と抵抗 28 との接続部は、電圧比較器 21 の一方の入力端に接続され、電圧比較器 21 の他方の入力端には基準電圧 V_r が入力されている。一方、NMOS トランジスタ 26 及び 27 はカレントミラー回路を形成しており、NMOS トランジスタ 26 及び 27 の各ゲートは接続され、該接続部は NMOS トランジスタ 27 のドレインに接続されている。NMOS トランジスタ 26 のドレインは、バイアス回路 5 の出力端をなし、半導体チップ B の接続端子 CB1 及び半導体チップ A の接続端子 CA1 を介してドライバ回路 2 に接続されている。

【0026】

図 2 は、図 1 のドライバ回路 2 の回路例を示した図であり、図 2 において、ドライバ回路 2 は、インバータ 31～35 及び NMOS トランジスタ 36 及び 37 を備えている。NMOS トランジスタ 36 は、出力端子 OA1 と接続端子 CA1 との間に接続され、NMOS トランジスタ 37 は、出力端子 OA2 と接続端子 CA1 との間に接続されている。NMOS トランジスタ 36 のドレインはドライバ回路 2 の出力端 OUT1 を、NMOS トランジスタ 37 のドレインがドライバ回路 2 の出力端 OUT2 をそれぞれなしている。また、ドライバ回路 2 の入力端 IN と NMOS トランジスタ 36 のゲートとの間には、インバータ 31～33 が直列に接続されており、ドライバ回路 2 の入力端 IN と NMOS トランジスタ 37 のゲートとの間には、インバータ 34、35 が直列に接続されている。

【0027】

このような構成において、入力端 I N にローレベルの信号が入力されると、N MOS トランジスタ 36 がオンして N MOS トランジスタ 37 がオフする。このため、電流-電圧変換回路 3 の抵抗 11 及び 12、半導体チップ B の入力端子 I B 1、信号線 6、半導体チップ A の出力端子 O A 1、ドライバ回路 2 の N MOS トランジスタ 36、半導体チップ A の接続端子 C A 1、半導体チップ B の接続端子 C B 1、及びバイアス回路 5 の N MOS トランジスタ 26 にバイアス電流 i_b が流れる。このとき、出力端子 O A 2 には電流が流れない。

【0028】

このため、入力端子 I B 1 に接続されたレシーバ回路 4 の入力端 I N 1 の電圧よりも、入力端子 I B 2 に接続されたレシーバ回路 4 の入力端 I N 2 の電圧が大きくなり、レシーバ回路 4 からはローレベルの信号が出力される。例えば、電源電圧 V_{DD} が 1.8 V で、抵抗 11 が 180 Ω 、抵抗 12 及び 13 がそれぞれ 110 Ω 、基準電圧 V_r が 1.2 V、抵抗 28 が 12 k Ω であるとする。更に、P MOS トランジスタ 23 のドレイン電流の 5 倍のドレイン電流が P MOS トランジスタ 24 から流れ、N MOS トランジスタ 27 のドレイン電流の 8 倍の電流が N MOS トランジスタ 26 のドレインに流れるものとする。抵抗 28 に 100 μ A の電流が流れるとすると、P MOS トランジスタ 24 から 500 μ A の電流が出力され、N MOS トランジスタ 26 のドレインには 4 mA の電流が流れる。

【0029】

これらのことから、ドライバ回路 2 は、2 つの差動伝達経路の一方のみ、すなわち出力端 O U T 1 からのみ 4 mA を引き込むようになっている。ドライバ回路 2 の出力端 O U T 1 に 4 mA の電流を引き込んでいる場合は、レシーバ回路 4 の正側入力電圧、すなわち入力端 I N 1 の電圧は $\{1.8 \text{ V} - (4 \text{ mA} \times 290 \Omega)\} = 0.64 \text{ V}$ となり、負側入力電圧、すなわち入力端 I N 2 の電圧は $\{1.8 \text{ V} - (4 \text{ mA} \times 180 \Omega)\} = 1.08 \text{ V}$ になって、レシーバ回路 4 は、ローレベルの信号を出力する。

【0030】

次に、入力端 I N にハイレベルの信号が入力されると、N MOS トランジスタ

36 がオフして NMOS トランジスタ 37 がオンする。このため、電流-電圧変換回路 3 の抵抗 11 及び 13、半導体チップ B の入力端子 IB2、信号線 7、半導体チップ A の出力端子 OA2、ドライバ回路 2 の NMOS トランジスタ 37、半導体チップ A の接続端子 CA1、半導体チップ B の接続端子 CB1、及びバイアス回路 5 の NMOS トランジスタ 26 にバイアス電流 i_b が流れる。このとき、出力端子 OA1 には電流が流れない。

【0031】

このため、入力端子 IB2 に接続されたレシーバ回路 4 の入力端 IN2 の電圧よりも、入力端子 IB1 に接続されたレシーバ回路 4 の入力端 IN1 の電圧が大きくなり、レシーバ回路 4 からはハイレベルの信号が出力される。例えば、入力端 IN にハイレベルの信号が入力されたときと同様の例の場合、ドライバ回路 2 は、2 つの差動伝達経路の一方のみ、すなわち出力端 OUT2 からのみ 4 mA を引き込むようになっている。ドライバ回路 2 の出力端 OUT2 に 4 mA の電流を引き込んでいる場合、レシーバ回路 4 の入力端 IN2 の電圧は $\{1.8 \text{ V} - (4 \text{ mA} \times 290 \Omega)\} = 0.64 \text{ V}$ となり、レシーバ回路 4 の入力端 IN1 の電圧は $\{1.8 \text{ V} - (4 \text{ mA} \times 180 \Omega)\} = 1.08 \text{ V}$ になって、レシーバ回路 4 は、ハイレベルの信号を出力する。

【0032】

ここで、例えば、半導体チップ B において、プロセス上のバラツキにより抵抗値が所望する値より 10% 小さく製造されたとする。すると、電流-電圧変換回路 3 の抵抗 11 は、 180Ω から 162Ω に、抵抗 12 及び 13 は、それぞれ 110Ω から 99Ω になる。仮に、バイアス回路 5 が半導体チップ A にある場合、レシーバ回路 4 に入力されるハイレベルの電圧は、 $\{1.8 \text{ V} - (4 \text{ mA} \times 162 \Omega)\} = 1.152 \text{ V}$ となり、レシーバ回路 4 に入力されるハイレベルの電圧は、 $\{1.8 \text{ V} - (4 \text{ mA} \times 261 \Omega)\} = 0.756 \text{ V}$ となる。この値は、所望するハイレベルの電圧値 1.08 V 及びローレベルの電圧値 0.64 V よりも、ハイレベルで 0.072 V 、ローレベルで 0.116 V ずれることになる。

【0033】

これに対して、バイアス回路 5 が半導体チップ B にある場合は、抵抗 28 の抵

抗値も同様に 10% 小さくなるため、該抵抗値は $12\text{ k}\Omega$ から $10.8\text{ k}\Omega$ になり、抵抗 28 に流れる電流は、 $100\text{ }\mu\text{A}$ から $111\text{ }\mu\text{A}$ になり、最終的にはドライバ回路 2 に対するバイアス電流 i_b は、 4 mA から 4.44 mA になる。このとき、レシーバ回路 4 が受け取るハイレベルの信号の電圧は、 $\{1.8\text{ V} - (4.44\text{ mA} \times 162\text{ }\Omega)\} = 1.081\text{ V}$ になり、ローレベルの信号の電圧は、 $\{1.8\text{ V} - (4.44\text{ mA} \times 261\text{ }\Omega)\} = 0.641\text{ V}$ になり、所望の値からのずれ量は、ハイレベル及びローレベル共に 0.001 V とかなり小さくなる。

【0034】

次に、例えば、半導体チップ B において、電源電圧 V_{DD} が 10% 大きくなった場合を考える。このとき、半導体チップ B の電源電圧 V_{DD} は、 1.98 V になる。仮に、バイアス回路 5 が半導体チップ A にあれば、レシーバ回路 4 が受け取るハイレベルの信号の電圧は、 $\{1.98\text{ V} - (4\text{ mA} \times 180\text{ }\Omega)\} = 1.26\text{ V}$ になり、レシーバ回路 4 が受け取るローレベルの信号の電圧は、 $\{1.98\text{ V} - (4\text{ mA} \times 290\text{ }\Omega)\} = 0.82\text{ V}$ になる。この値は、所望するハイレベルの電圧値 1.08 V 及びローレベルの電圧値 0.64 V よりも、ハイレベル及びローレベル共に 0.18 V ずれることになる。

【0035】

これに対して、バイアス回路 5 が半導体チップ B にある場合は、バイアス回路 5 に供給される電源電圧 V_{DD} も 10% 大きくなるため、抵抗 28 に印加される電圧は 1.2 V から 1.32 V になり、抵抗 28 に流れる電流は $100\text{ }\mu\text{A}$ から $110\text{ }\mu\text{A}$ になり、最終的にはバイアス電流 i_b は 4.4 mA になる。このとき、レシーバ回路 4 が受け取るハイレベルの信号の電圧は、 $\{1.98\text{ V} - (4.4\text{ mA} \times 180\text{ }\Omega)\} = 1.188\text{ V}$ になり、ローレベルの信号の電圧は、 $\{1.98\text{ V} - (4.4\text{ mA} \times 290\text{ }\Omega)\} = 0.704\text{ V}$ になり、所望値からのずれ量は、ハイレベルで 0.108 V 、ローレベルで 0.064 V と小さくなる。このように、電流-電圧変換回路 3 及びバイアス回路 5 を、同じ半導体チップ上に設けることにより、プロセス、温度又は電源電圧の変動に影響を受けにくい LVD S 回路を得ることができる。

【0036】

なお、図1では、電流－電圧変換回路3及びバイアス回路5が、半導体チップBに設けられた例を示して説明したが、電流－電圧変換回路3及びバイアス回路5は、半導体チップAに設けられるようにしてもよい。この場合、図1は、図3のようになり、図3の各部の動作は図1の場合と同様であるのでその説明を省略する。

【0037】

次に、図4は、図1及び図2で示したLVDS回路1を用いた光ディスク記録装置の構成例を示した概略のブロック図である。

図4において、光ディスク記録装置40は、光ディスク41にレーザ光を照射してデータの記録を行うレーザダイオード42と、入力されたデータに応じて該レーザダイオード42の動作制御を行うLDドライバ43と、パーソナルコンピュータ等のホスト装置51から入力された光ディスク41への書き込み用データを所定の方法でエンコードして該LDドライバ43に出力するCD・DVDエンコーダ44と、該CD・DVDエンコーダ44の動作制御を行うCPU45とを備えている。なお、LDドライバ43は半導体レーザ駆動制御部を、CD・DVDエンコーダ44はエンコード部をそれぞれなしている。

【0038】

CD・DVDエンコーダ44からLDドライバ43にデータ信号を出力する際、LVDS回路が使用されている。すなわち、図1のLVDS回路の場合、CD・DVDエンコーダ44の出力回路にドライバ回路2が使用され、LDドライバ43の入力回路に電流－電圧変換回路3、レシーバ回路4及びバイアス回路5が使用されている。このため、CD・DVDエンコーダ44とLDドライバ43は、一対の信号線6、7で接続されており、CD・DVDエンコーダ44が半導体チップAに設けられており、LDドライバ43が半導体チップBに設けられている。半導体チップA及びBは、1つのモジュールに形成されたMCMをなしている。

【0039】

なお、前記説明では、電流－電圧変換回路3及びバイアス回路5を半導体チップB又は半導体チップAのいずれかに設けた場合を例にして説明したが、これは

一例であり、本発明は、これに限定するものではなく、電流－電圧変換回路 3 及びバイアス回路 5 が同一チップ上に設けられ及び／又は同一プロセスで形成されるようにすればよい。例えば、ドライバ回路 2 が半導体チップ A に形成され、レーザ回路 4 が半導体チップ B に形成され、電流－電圧変換回路 3 及びバイアス回路 5 が半導体チップ C に形成される場合、図 1 及び図 3 は図 5 のようになる。

【0040】

このように、本第 1 の実施の形態における L V D S 回路は、ドライバ回路 2 から出力された電流を電圧に変換する電流－電圧変換回路 3 と、ドライバ回路 2 から出力される電流値の制御を行うバイアス回路 5 を同一チップ上に設けた及び／又は同一プロセスで形成されるようにした。このことから、プロセス、温度又は電源電圧の変動に影響を受けにくくすることができる。また、本第 1 の実施の形態における L V D S 回路を光ディスク記録装置に使用することにより、プロセス、温度又は電源電圧の変動による光ディスクへのデータ書き込み精度の低下を防止することができる。

【0041】

【発明の効果】

上記の説明から明らかなように、本発明の L V D S 回路によれば、ドライバ回路から出力された電流を電圧に変換する電流－電圧変換回路と、ドライバ回路から出力される電流値の制御を行うバイアス回路を同一チップ上に設けた及び／又は同一プロセスで形成されるようにした。このことから、プロセス、温度又は電源電圧の変動に影響を受けにくくすることができる。

【0042】

また、本発明の光ディスク記録装置によれば、エンコード部の出力回路部と、半導体レーザ駆動制御部の入力回路部とを L V D S 回路で構成し、ドライバ回路から出力された電流をそれぞれ電圧に変換する電流－電圧変換回路と、ドライバ回路から出力される電流値の制御を行うバイアス回路を同一チップ上に設けた及び／又は同一プロセスで形成されるようにした。このことから、プロセス、温度又は電源電圧の変動による光ディスクへのデータ書き込み精度の低下を防止することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態における L V D S 回路の例を示した図である。

【図 2】 図 1 のドライバ回路 2 の回路例を示した図である。

【図 3】 本発明の第 1 の実施の形態における L V D S 回路の他の例を示した図である。

【図 4】 図 1 及び図 2 で示した L V D S 回路 1 を用いた光ディスク記録装置の構成例を示した概略のブロック図である。

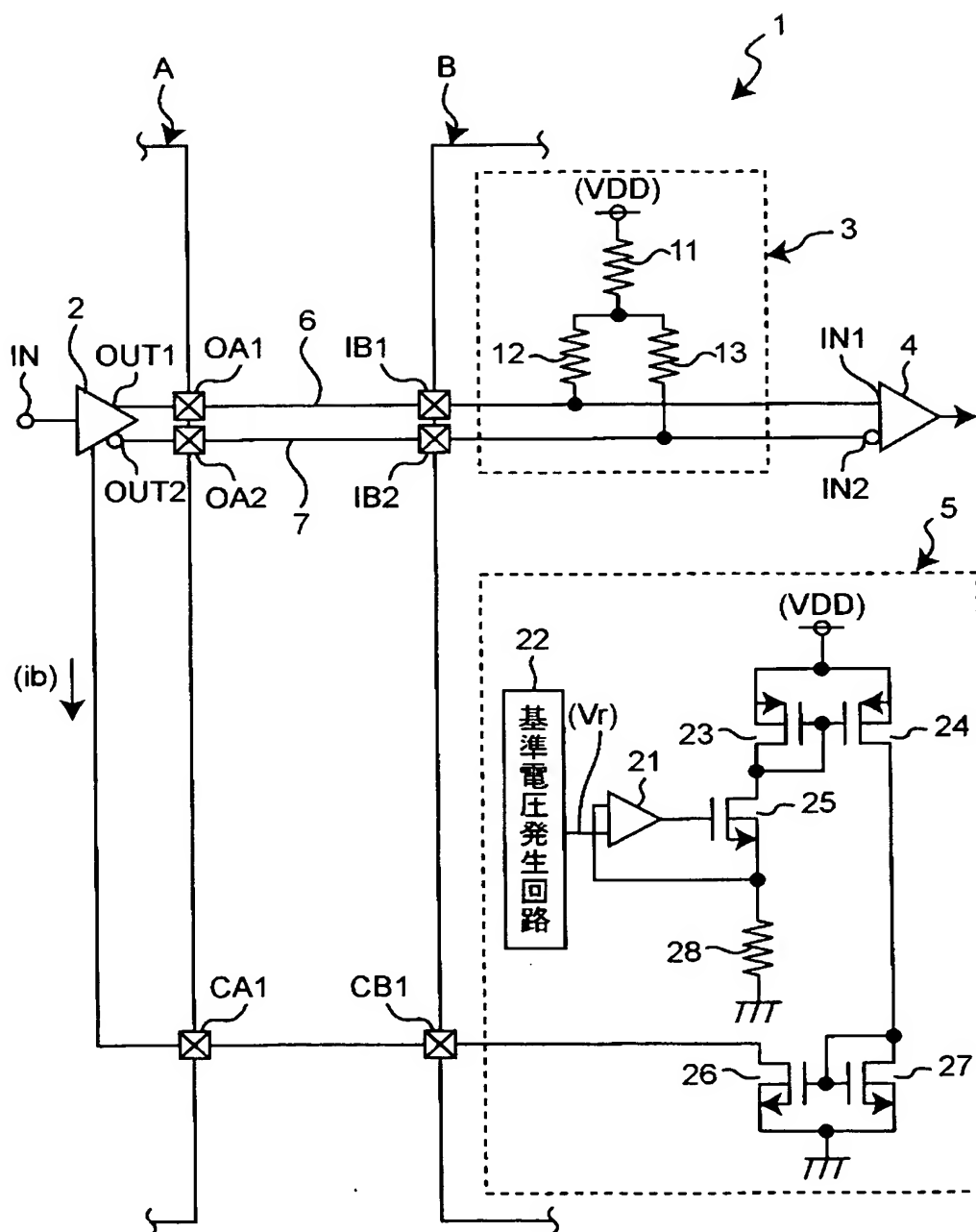
【図 5】 本発明の第 1 の実施の形態における L V D S 回路の他の例を示した図である。

【符号の説明】

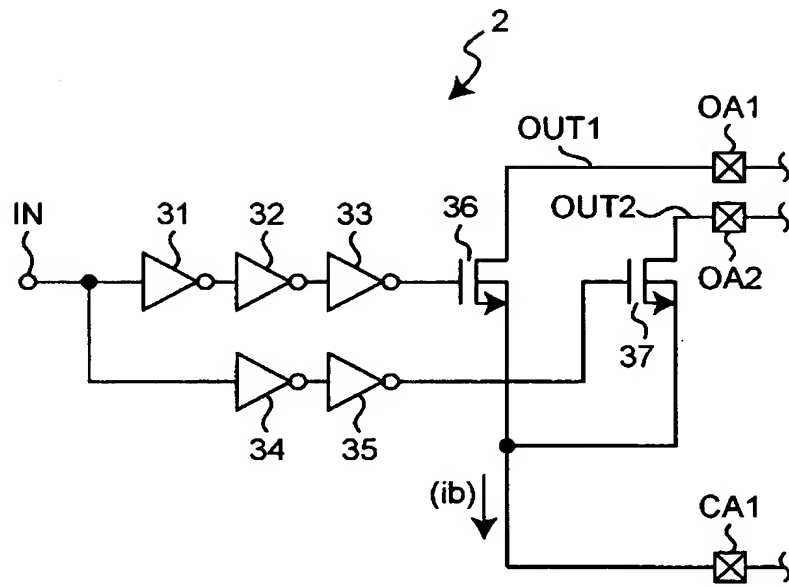
- 1 L V D S 回路
- 2 ドライバ回路
- 3 電流－電圧変換回路
- 4 レシーバ回路
- 5 バイアス回路
- 6, 7 信号線
- 4 1 光ディスク
- 4 2 レーザダイオード
- 4 3 L D ドライバ
- 4 4 C D ・ D V D エンコーダ
- 4 5 C P U
- A, B, C 半導体チップ

【書類名】 図面

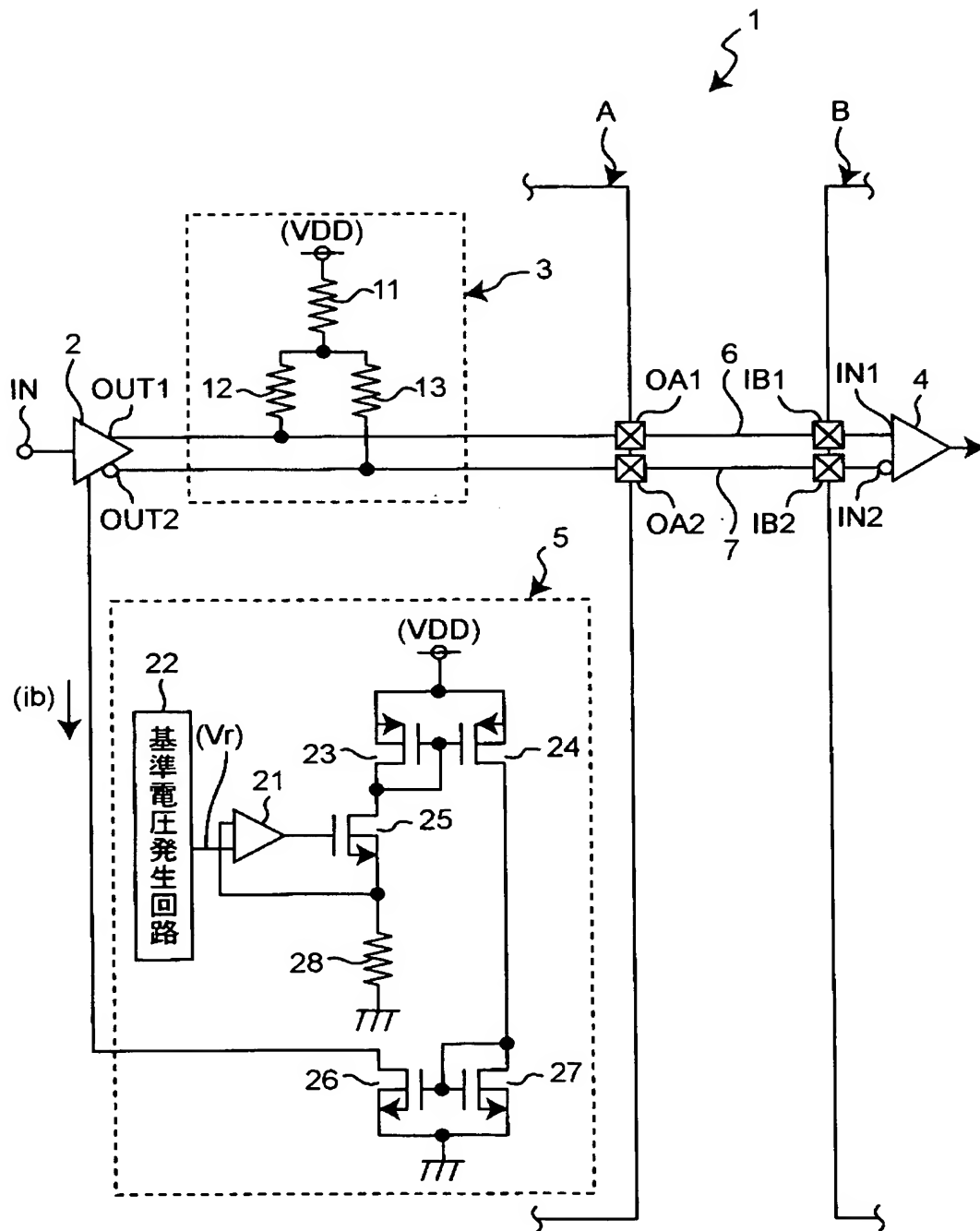
【図 1】



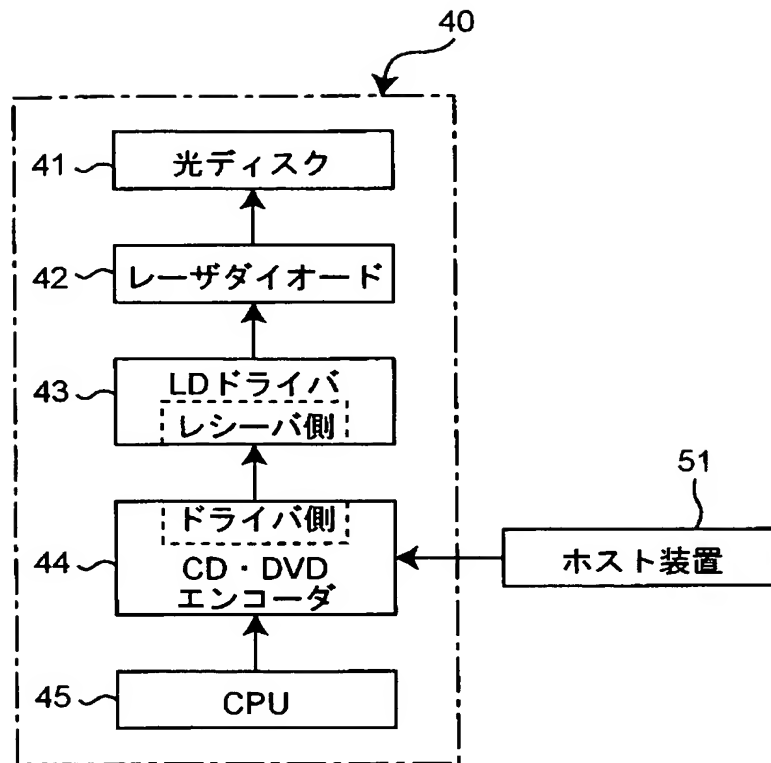
【図 2】



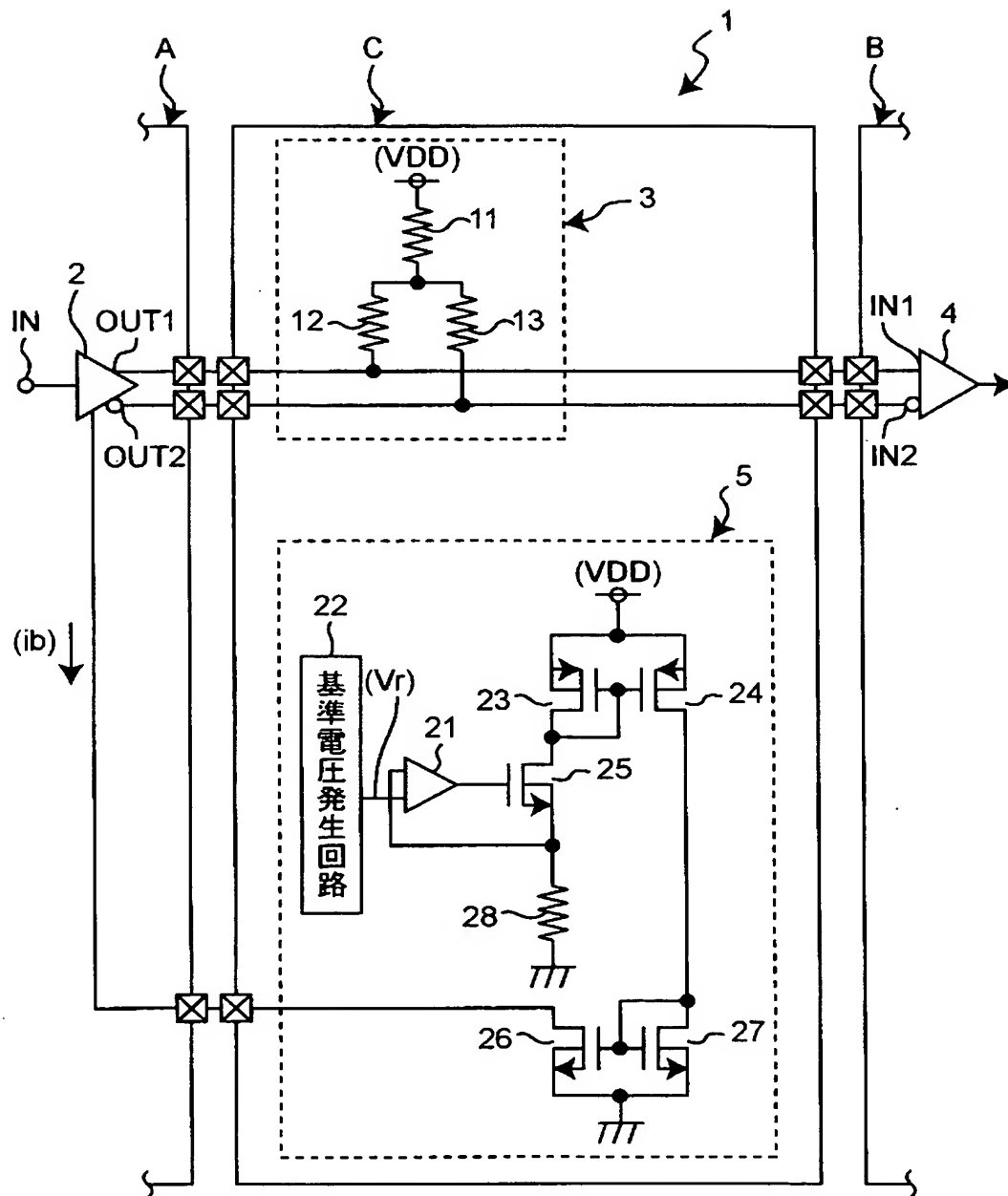
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 回路構成要素を付加することなく、プロセスによるバラツキ、温度によるバラツキ、電源電圧の振れ等によって生じるドライバ回路からの差動信号の変動を低減させることができる L V D S 回路及び L V D S 回路を使用した光ディスク記録装置を得る。

【解決手段】 ドライバ回路 2 から出力された電流を電圧に変換する電流－電圧変換回路 3 と、ドライバ回路 2 から出力される電流値の制御を行うバイアス回路 5 を同一チップ上に設けた及び／又は同一プロセスで形成されるようにした。

【選択図】 図 1

特願 2 0 0 3 - 0 6 3 5 4 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 7 4 7]

1. 変更年月日

2 0 0 2 年 5 月 1 7 日

[変更理由]

住所変更

住 所

東京都大田区中馬込 1 丁目 3 番 6 号

氏 名

株式会社リコー